

**DEUTSCHES
PATENT- UND
MARKENAMT**

- ⑤⑥ **Entgegenhaltungen:**
Dolny, G.M.: Ipri, A.C.: Batty, M.: CMOS/DMOS power IC technology on thin-film SOI substrates. In: IEEE international SOI Conference, 1993. Proceedings, S. 98-99;
Hochspannungs-Impulsverstärker mit Leistungs-MOS-FETs. In: radio fernehen elektronik, 1988, S.196;

DE 101 14 935 A 1

[0001] Die Erfindung betrifft monolithisch integrierte Hochspannungsverstärker.

[0002] Für die Ansteuerung kapazitiver Aktoren mit Kapazitäten in einem Bereich von wenigen Pikofarad bis einige hundert Pikofarad werden hohe analoge Signalspannungen in der Größe von 100 V bis 1000 V benötigt. Beispiele für kapazitive Aktoren sind unter anderem piezoelektrische Schallwandler, mikromechanische elektrostatisch betätigte Schwenkspiegel, mikromechanische elektrostatisch betätigte Ventile und Pumpen und piezoelektrische Bewegungseinrichtungen.

[0003] Für eine Miniaturisierung mikrosystemtechnischer Komponenten in Verbindung mit der Realisierung kompletter Mikrosysteme, insbesondere bei Arrayanwendungen, spielt die Größe der Ansteuerschaltung und deren Leistungsverbrauch eine wesentliche Rolle. Bekannt sind einerseits verschiedene Konzepte mit diskreten Realisierungen solcher Schaltungen und andererseits integrierte Hybrid-Schaltungen oder monolithisch integrierte Bipolar-Schaltungen für einen Spannungsbereich bis ca. 300 V.

[0004] So wird unter anderem in Horowitz, P.; Hill, W.: Die hohe Schule der Elektronik, Elektroverlag, 1996, Bd. 1, S. 198 ff., ein Konzept für eine diskrete Gegentakt-Hochspannungsverstärkerschaltung bis 1000 V vorgestellt. Die Besonderheit besteht im Einsatz von ausschließlich n-Kanal-Transistoren in der Hochspannungsendstufe. Der Verstärker besteht im Wesentlichen aus einem Operationsverstärker, der Hochspannungsendstufe und einem Rückkopplnetzwerk. Die Hochspannungsendstufe setzt sich aus einem Inverter und einem Sourcefolger zusammen. Damit die Endstufe im Gegentaktverfahren arbeiten kann, wird der hochspannungsbezogene Transistor (Sourcefolger) über die Inverterschaltung und einem Widerstand als Lastelement parallel zum Sourcefolger (Stromquellenfunktion) indirekt angesteuert. Der Ausgang kann über den gesamten Spannungsbereich abzüglich einer kleinen Vorspannung an der unteren und oberen Versorgungsspannung arbeiten. Die Spannungsfestigkeit des Verstärkers wird durch die verwendeten Transistoren begrenzt. Die Einstellung des Verstärkungsfaktors der Schaltung erfolgt über den Rückkopplungswiderstandsteiler.

[0005] Ein weiterer diskreter Hochspannungsverstärker (2500 V Ausgangsspannung) ist in Hochspannungsverstärker mit Leistungs-MOSFETs, radio-fernsehen-elektronik, Berlin 37, 1988 aufgeführt. Im Unterschied sind die Transistoren des Inverters und des Sourcefolgers kaskadiert (Totem-pole-Konfiguration). Dadurch wird eine höhere Spannungsfestigkeit der Gesamtschaltung gegenüber der Spannungsfestigkeit eines Einzeltransistors erreicht. Die Erzeugung der Gatespannungen der kaskadierten Transistoren übernimmt ein Widerstandsnetzwerk für die Inverter- und Sourcefolgerschaltung. Aufgrund der hohen Kapazitäten der diskreten Transistoren ergibt sich eine relativ geringe Bandbreite von ca. 300–400 Hz.

[0006] Für höherfrequente Anwendungen ist in US 3900800 sowie in US 4843344 die Kaskadierung von diskreten Endstufentransistoren mit einem Widerstand-Kondensator-Netzwerk dargestellt. Das Widerstand-Kondensator-Netzwerk bildet einen Spannungsteiler zur Erzeugung der Gate- oder Basisspannungen der einzelnen Transistoren. Aufgrund von Wert- und Bauformabweichungen der Widerstände können schnelle Transienten zu einer ungleichen Spannungsaufteilung führen. Der kapazitive Spannungsteiler übernimmt die Teilerfunktion für diese schnellen Spannungsänderungen und verhindert das kurzzeitige Überschreiten der zulässigen maximalen Spannung an ein-

zelnen Transistoren.

[0007] In Kimura, M. et al. A Flat Panel Display Control IC with 150 V Drivers, IEEE Journal of Solid-State Circuits, Vol. SC-21, No. 6, December 1986, pp. 971 wird eine integrierte Hochspannungs-Gegentakt-Ausgangsstufe vorgestellt, die Bipolartransistoren verwendet. Das Schaltungskonzept entspricht der vorher beschriebenen Quasigegentakt-Schaltung. Bei dieser Bipolarendstufe mit einer Ausgangsspannung bis maximal 150 V kommt neben den npn-Transistoren ein lateraler pnp-Transistor als Laststromquelle zum Einsatz. Dieser pnp-Transistor besitzt eine spezielle, um das Kollektorgebiet eingebrachte p-Implantation, damit eine Durchbruchsspannung äquivalent der npn-Transistoren erzielt wird.

[0008] Der in Battjes, C. R.: A Wide-Band High Voltage Monolithic Amplifier, IEEE Journal of Solid-State Circuits, Vol. SC-8, No. 6, December 1973, pp. 408 beschriebene Ablenkverstärker für Kathodenstrahlröhren wurde in einer pn-isolierten Bipolartechnologie realisiert. Damit die AB-Endstufe eine Ausgangsspannung von 80 V erreicht, wurden die Ausgangstransistoren ebenfalls kaskadiert. Der Spannungsteiler zum Erzeugen der Basisspannungen besteht aus Diffusions-Widerständen. Die parasitären Sperrschicht-Kapazitäten der Widerstände bilden den kapazitiven Spannungsteiler in dieser Endstufenkonfiguration.

[0009] Eine weitere Möglichkeit für die Herstellung von Hochspannungsverstärkern wird in APEX Microtechnology: The new Volume 9 Apex Power Integrated Circuits Data Book gezeigt. Bei diesen Hochspannungsoperationsverstärkern kommen sowohl n-Kanal- als auch p-Kanal-Transistoren zum Einsatz. Die Endstufe wird in einer Hybrid-Konfiguration hergestellt.

[0010] Damit existieren einerseits verschiedene Konzepte für diskrete Realisierungen solcher Schaltungen, andererseits integrierte Hybrid-Schaltungen oder monolithisch integrierte Bipolar-Schaltungen für einen Spannungsbereich bis ca. 300 V. Keines dieser Konzepte vereint den erhöhten Spannungsbereich, den geringen Leistungsverbrauch bei gleichzeitiger Optimierung der Grenzfrequenz und die geringe Chipfläche in einer Schaltung.

[0011] Der im Patentanspruch 1 angegebenen Erfindung liegt das Problem zugrunde, einen Hochspannungsverstärker mit einem hohen Spannungsbereich bei einem geringen Leistungsverbrauch, bei gleichzeitiger Optimierung der Grenzfrequenz und geringem Flächenbedarf zu schaffen.

[0012] Dieses Problem wird mit den im Patentanspruch 1 aufgeführten Merkmalen gelöst.

[0013] Der monolithisch integrierte Hochspannungsverstärker zeichnet sich insbesondere durch seinen hohen Spannungsbereich bei gleichzeitigem geringen Leistungsverbrauch und durch die Realisierung in einer kleinen Fläche, wobei eine hohe Grenzfrequenz erzielt wird, aus. Damit eignet sich der Hochspannungsverstärker vorteilhaft zur Ansteuerung vornehmlich kapazitiver Lasten, die mit analogen Signalspannungen in einem Spannungsbereich bis z. B. 1000 V angesteuert werden. Damit kann der erfindungsgemäße Hochspannungsverstärker vorteilhaft zum Einsatz z. B. im Bereich der Mikrosystemtechnik vorgesehen werden.

[0014] Der monolithisch integrierte Hochspannungsverstärker besteht aus einer Kombination aus einem Eingangsverstärker in CMOS (complementary metal oxide semiconductor)-Technik und einer damit verbundenen Hochspannungsendstufe in DMOS (als Synonym für double implanted metal oxide semiconductor)-Technik. Die CMOS-Technik zeichnet sich dabei durch eine hohe erreichbare Packungsdichte bei gleichzeitig hoher Grenzfrequenz und geringer Verlustleistung aus. Ein weiterer wesentlicher Vorteil

ist der hohe statische Eingangswiderstand. Sie stellt zur Zeit die wichtigste und damit bekannte Basistechnologie zur Fertigung hochintegrierter Schaltkreise dar. Dabei sind sowohl n- als auch p-Kanal-Transistoren gemeinsam auf einem Chip integrierbar. Bei der DMOS-Technik werden auf einem p-leitenden Substrat (mit n-leitender epitaktischer Schicht) durch ein und dieselbe Öffnung im Oxid nacheinander zwei Dotierstoffe, das heißt zuerst ein p-leitender, danach ein n-leitender, eindiffundiert (Doppeldiffusion). Auf diese Weise lassen sich besonders kurze Kanallängen und kleinere Laufzeiten der Ladungsträger im Kanal erzielen. Weiterhin treten sehr geringe Gateüberlappungen und damit auch geringe parasitäre Kapazitäten auf. Die obere Frequenzgrenze wird ausschließlich von der Kanallaufzeit bestimmt. Die geometrische Kanallänge des Gate ist größer als die elektrisch gesteuerte Kanallänge, die durch das p-Gebiet bestimmt ist. Im Gegensatz zum normalen MOS-Transistor fällt die Sättigungsspannung im Wesentlichen über dem n-Gebiet ab. In Abhängigkeit der Dotierung kann diese hohe Werte annehmen.

[0015] Das erfindungsgemäße Konzept besteht darin, die Gesamtschaltung des Hochspannungsverstärkers mit einer dielektrisch isolierenden Technologie unter Anwendung von CMOS-/DMOS-Techniken monolithisch integriert auf engsten Raum so herzustellen, dass sich Eingangsverstärker, Treiberelemente und Hochspannungs-Endstufe auf einem Substrat befinden. Ein analoges Eingangssignal z. B. in Sinusform mit einer Spannung $V_{pp} = 8 \text{ V}$ wird durch die Schaltung spannungsverstärkt z. B. mit einer Verstärkung $A = 100$ am Ausgang in Sinusform mit $V_{pp} = 800 \text{ V}$ zur Verfügung gestellt.

[0016] Die Endstufenschaltung besteht aus einer Inverterstufe mit einer Stromquelle als Laststromquelle und einer Sourcefolgererschaltung. Aufgrund des kapazitätsarmen Designs und der Minimierung sämtlicher Verbindungsleitungen im Zusammenhang mit der integrierten Herstellung lassen sich gegenüber den diskreten Hochspannungsverstärkern oder den integrierten Versionen nach dem Stand der Technik eine deutlich geringere Leistungsaufnahme in Verbindung mit einer Grenzfrequenz im Bereich bis 100 kHz realisieren. Die Endstufe ist zur Erhöhung der Spannungsfestigkeit mit kaskadierten DMOS-Transistoren ausgeführt, wobei die einzelnen Transistoren durch dielektrische Schichtfolgen voneinander elektrisch getrennt angeordnet sind. Die Gatespannungserzeugung der DMOS-Transistoren erfolgt mittels RC-Netzwerk oder über "gematchte" Widerstandsteiler.

[0017] Der erfindungsgemäße monolithisch integrierte Hochspannungsverstärker in CMOS-/DMOS-Technik erreicht folgende Vorteile:

- die Ruhestromaufnahme ist aufgrund der monolithischen Integration und des kapazitätsarmen Designs sehr klein ($< 1 \text{ mA}$, abhängig von der Ausführungsform),
- die Zuverlässigkeit gegenüber diskreten Schaltungen oder Hybrid-Schaltungen ist höher und
- durch die kapazitätsarme Layoutgestaltung im Zusammenhang mit der monolithischen Integration der Hochspannungsverstärkerschaltung ergibt sich ein höhere Grenzfrequenz (Großsignalbandbreite).

[0018] Vorteilhafte Ausgestaltungen der Erfindung sind in den Patentansprüchen 2 bis 11 angegeben.

[0019] Der monolithisch integrierte Hochspannungsverstärker besteht nach der Weiterbildung des Patentanspruchs 2 aus dem Differenzverstärker als Niederspannungsteil in CMOS-Technik und der nachgeschalteten Hochspannungs-

endstufe als Hochspannungsteil in DMOS-Technik, wobei die Hochspannungsendstufe eine Schaltung aus einer Stromquelle, der Inverterstufe und der Sourcefolgerstufe ist. Damit ist ein einfacher Aufbau gegeben.

[0020] Die Stromquelle als Hochspannungslastelement der Inverterstufe liefert den Strom zum Umladen der Transistorkapazitäten und ist nach der Weiterbildung des Patentanspruchs 3 als integrierter Widerstand ausgebildet. Eine derartige Realisierung ist eine einfache Form. Der Nachteil besteht dabei darin, dass der maximale Strom bei maximaler Spannung, das heißt bei kleinen Ausgangsspannungen, über den Widerstand fließt.

[0021] Eine Ausbildung der Stromquelle als Hochspannungslastelement der Inverterstufe nach der Weiterbildung des Patentanspruchs 4 aus aktiven kaskadierten monolithisch integrierten DMOS-Elementen erhöht die Grenzfrequenz. Die Stromquelle liefert dabei einen konstanten Strom über den gesamten Ausgangsspannungsbereich.

[0022] Die Weiterbildung des Patentanspruchs 5 stellt vorteilhaft eine gesteuerte Stromquelle mit einem von Ansteuerzustand abhängigen Strom dar. In dieser Ausführungsform ist der gelieferte Strom abhängig vom Ansteuerzustand. Bei kleinen Spannungsdifferenzen am Eingang des Differenzverstärkers fließt ein geringer Ruhestrom. Im Fall einer hohen Spannungsdifferenz liefert die Stromquelle einen höheren Strom zum Umladen der Kapazitäten. Durch diese Anpassung des Laststromes der Inverterschaltung wird gleichzeitig Grenzfrequenz und Leistungsaufnahme der Schaltung optimiert.

[0023] Die Gatespannungserzeugung der Transistoren in DMOS-Technik erfolgt nach der Weiterbildung des Patentanspruchs 6 in Verbindung mit einer integrierten Widerstands-Kondensator-Kaskade oder entsprechend der Weiterbildung des Patentanspruchs 7 durch eine integrierte Widerstandskaskade, wobei die flächenintensiven Kapazitäten entfallen.

[0024] Nach der Weiterbildung des Patentanspruchs 8 besteht die die Gatespannungen erzeugende Widerstandskaskade aus Widerständen mit ausschließlich gleichsinnigen Wertabweichungen. Damit ist ein sogenannter "gematchten" Widerstandsspannungsteiler vorhanden. Das "Matching" wird durch eine spezielle Anordnung der Endstufenkomponenten im Schaltkreislayout erreicht. Dabei werden Auswirkungen von prozessbedingten Schwankungen berücksichtigt und es ergeben sich ausschließlich gleichsinnige Wertabweichungen z. B. der Widerstände auf einem Chip. Die Absolutwerte der Widerstände unterliegen zwar den Prozesstoleranzen, jedoch die resultierenden Spannungsteiler sind einschließlich der parasitären Kapazitäten völlig identisch. Somit wird für den angestrebten Arbeitsbereich bis ca. 100 kHz speziell für schnelle Anwendungen eine gleichförmige Spannungsverteilung erzielt. Ein weiterer wesentlicher Vorteil besteht darin, dass die flächenintensiven (Chipfläche) hochspannungsfesten Kapazitäten entfallen. Bezüglich der notwendigen Chipfläche ergibt sich durch die monolithische Integration im Zusammenhang mit den verwendeten CMOS-/DMOS-Techniken und der eingesetzten Schaltungsanordnung ein wesentlicher Vorteil.

[0025] Die Endstufe ist zur Erhöhung der Spannungsfestigkeit mit kaskadierten DMOS-Transistoren ausgeführt, wobei die einzelnen Transistoren nach der Weiterbildung des Patentanspruchs 9 durch mindestens drei dielektrische Schichtfolgen voneinander elektrisch getrennt angeordnet sind, so dass eine hohe Spannungsfestigkeit gewährleistet ist.

[0026] Die Realisierung der Transistoren nach der Weiterbildung des Patentanspruchs 10 als ein Leitfähigkeitstyp, insbesondere als n-Kanal-DMOS-Transistoren, in der Hoch-

spannungsendstufe stellt eine einfache Möglichkeit der Herstellung dar. Eine Herstellung von p-Kanaltransistoren ist technologisch sehr anspruchsvoll und damit kostenintensiv. Für eine Technologie mit integrierten Endstufentransistoren ist das aufgrund der zusätzlich benötigten Wannenimplantation und des Flächenbedarfes beinahe unmöglich.

[0027] Aufgrund der platzsparenden Schaltungsstruktur, des "Matchings" und der verwendeten CMOS-/DMOS-Techniken im Zusammenhang mit der eingesetzten dielektrisch isolierenden Technologie ergibt sich nach der Weiterbildung des Patentanspruchs 11 die vorteilhafte Möglichkeit einer mehrkanaligen Anordnung der Hochspannungsverstärkerschaltung pro Chip.

[0028] Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und wird im folgenden näher beschrieben.

[0029] Es zeigen:

[0030] Fig. 1 ein Blockschaltbild eines monolithisch integrierten Hochspannungsverstärkers und

[0031] Fig. 2 eine Schaltbild eines monolithisch integrierten Hochspannungsverstärkers. Ein monolithisch integrierter Hochspannungsverstärker besteht im wesentlichen aus einem Nieder- 1 und einem nachgeschalteten Hochspannungsteil 2.

[0032] Das Niederspannungsteil 1 ist ein Eingangsverstärker als Differenzverstärker 3 in CMOS-Technik, das an das Niederspannungspotential zwischen VDDA und VSSA geschaltet ist. Das Hochspannungsteil 2 in DMOS-Technik besteht aus einer Stromquelle 4, einer Inverterstufe 5, einer Sourcefolgerstufe 6 und einer Diode D1. Zwischen den Potentialen der Hochspannung VDDHV und VSSHV ist die Stromquelle 4 und die Inverterstufe 5 in Reihe geschaltet. Der Ausgang der Inverterstufe 5 ist mit dem Eingang der Sourcefolgerstufe 6 und diese ist weiterhin mit dem Potential VDDHV der Hochspannung verbunden. Zwischen dem Ausgang der Sourcefolgerstufe 6 und der Verbindung der Stromquelle 4 und der Inverterstufe 5 ist eine bei einer Verkleinerung der Ausgangsspannung die Lastkapazität entladende Diode D1 geschaltet.

[0033] Fig. 1 zeigt einen derartig ausgebildeten monolithisch integrierten Hochspannungsverstärker als Blockschaltbild.

[0034] Fig. 2 zeigt ein Schaltbild eines monolithisch integrierten Hochspannungsverstärkers.

[0035] Der Eingangsverstärker ist als zweistufiger Differenzverstärker bestehend aus den Transistoren M 1 bis M 5 und M 21, M 22 ausgeführt. Die Transistoren M 11 bis M 13 bilden ein Bias-Netzwerk. Der nichtinvertierende Eingang erhält dabei das zu verstärkende Eingangssignal. Am invertierenden Eingang wird das Rückkopplungssignal verarbeitet. Entsprechend der Spannungsdifferenz zwischen den beiden Eingängen ändert M 22 den Spannungspegel am Gate des DMOS-Transistors XMH 1 der Inverterstufe. Damit wird die Inverterstufe auf bzw. zu gesteuert.

[0036] Die Inverterstufe aus den DMOS-Transistoren XMH 1 und XMH 2, den Widerständen RT 1, RT 2, den Kapazitäten CT 1, CT 2 und der Zener-Diode D 2, bildet den ersten Teil der Hochvoltendstufe. Sie übernimmt in Verbindung mit der Stromquelle, bestehend aus den Depletion-DMOS-Transistoren XMH 5, XMH 6, den Widerständen RT 5 bis RT 8 und den Kapazitäten CT 5, CT 6, die Ansteuerung der Sourcefolgerstufe, bestehend aus den DMOS-Transistoren XMH 3 und XMH 4, den Widerständen RT 3, RT 4 den Kapazitäten CT 3, CT 4 und der Zenerdiode D 3. Die Laststromquelle ist als aktives Element mit kaskadierten Depletion-DMOS-Transistoren ausgeführt. Die Diode D1 als Zener-Diode übernimmt den Entladestrom der Lastkapazität bei sinkender Ausgangsspannung.

[0037] Die Kaskadierung der DMOS-Transistoren XMH 1 bis XMH 6 erfolgt mittels Widerstands-Kondensator-Netzwerk bestehend aus den Widerständen RT 1 bis RT 4 und den Kondensatoren CT 1 bis CT 6.

[0038] In einer Ausführungsform mit einer "gematcht" angeordneten Hochspannungsendstufe können die Kapazitäten CT 1 bis CT 6 entfallen.

[0039] Die Niederspannungsversorgung des monolithisch integrierten Hochspannungsverstärkers erfolgt zwischen VDDA und VSSA, die Hochspannung wird zwischen VDDHV und VSSHV angelegt.

[0040] Zur Funktion des monolithisch integrierten Hochspannungsverstärkers:

Ausgehend von einer Spannung von Null Volt am Eingang (JNIP) und Ausgang (OUT) der Schaltung, das bedeutet die Endstufentransistoren XMH 1, XMH 2 sind aufgesteuert und XMH 3 XMH 4 sind gesperrt, arbeitet die Schaltung wie nachfolgend beschrieben. Bei einer Änderung der Eingangsspannung auf beispielsweise 2 V steuert Transistor M 22 durch die Differenzstufe beeinflusst auf. Dadurch werden die DMOS-Transistoren XMH 1 und, über den Widerstandsteiler RT 1 und RT 2, XMH 2 zugesteuert.

[0041] Die Stromquelle, bestehend aus den Depletion-DMOS-Transistoren XMH 5, XMH 6, den Widerständen RT 5 bis RT 8 und den Kapazitäten CT 5, CT 6, liefert den Strom zum Umladen der Transistorkapazitäten. Aufgrund des sich erhöhenden Spannungspotentials an Punkt (7) steuern die Transistoren XMH 3, XMH 4 des Sourcefolgers auf.

[0042] Die zu treibende Lastkapazität am Ausgang (OUT) wird über die Transistoren XMH 3, XMH 4 geladen. Damit folgt der Ausgang (OUT) der Spannungserhöhung. Über den externen Rückkopplungsteiler wird die Verstärkung der Schaltung eingestellt. Die Erhöhung der Ausgangsspannung erfolgt bis Eingangssignal und Rückkopplungssignal übereinstimmen.

[0043] Bei einer Verkleinerung der Ausgangsspannung arbeitet die Schaltung äquivalent, wobei die Lastkapazität über die Diode D1 entladen wird. Die Inverterstufe wird durch die Differenzstufe aufgesteuert und dadurch indirekt die Sourcefolgerstufe zugesteuert. Der Hochspannungsverstärker bildet einen Operationsverstärker mit Gegentaktendstufe.

Patentansprüche

1. Monolithisch integrierter Hochspannungsverstärker mit folgenden Merkmalen:

einem Eingangsverstärker in CMOS-Technik und einer damit verbundenen Hochspannungsendstufe bestehend aus einer Inverterstufe (5) und einer Sourcefolgerstufe (6) mit jeweils kaskadierter Transistoranordnung in DMOS-Technik und jeweils wenigstens einer die in DMOS-Technik realisierten Transistoren voneinander dielektrisch isolierenden Schicht.

2. Monolithisch integrierter Hochspannungsverstärker nach Anspruch 1, dadurch gekennzeichnet, dass ein Differenzverstärker (3) als Eingangsverstärker das Niederspannungsteil (1) in CMOS-Technik und die nachgeschaltete Hochspannungsendstufe das Hochspannungsteil (2) in DMOS-Technik sind, dass zwischen den Potentialen der Hochspannung (VDDHV, VSSHV) eine Stromquelle (4) und die Inverterstufe (5) in Reihe geschaltet sind, dass der Ausgang der Inverterstufe (5) mit dem Eingang der Sourcefolgerstufe (6) verbunden ist, dass die Sourcefolgerstufe (6) mit einem Potential der Hochspannung verbunden ist, dass zwischen dem Ausgang der Sourcefolgerstufe (6) und der Verbindung der Stromquelle (4) und der Inverterstufe (5) eine bei

einer Verkleinerung der Ausgangsspannung die Lastkapazität entladende Diode (D 1) geschaltet ist und dass die Stromquelle (4), die Inverterstufe (5), die Sourcefolgerstufe (6) und die Diode (D1) das Hochspannungsteil (2) bilden.

3. Monolithisch integrierter Hochspannungsverstärker nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Stromquelle (4) als Hochspannungslastelement der Inverterstufe (5) ein integrierter Widerstand ist.

4. Monolithisch integrierter Hochspannungsverstärker nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Stromquelle (4) als Hochspannungslastelement der Inverterstufe (5) aus aktiven kaskadierten monolithisch integrierten DMOS-Elementen besteht.

5. Monolithisch integrierter Hochspannungsverstärker nach Anspruch 4, dadurch gekennzeichnet, dass die Stromquelle (4) eine gesteuerte Stromquelle mit einem von Ansteuerzustand abhängigen Strom ist und dass die Stromquelle (4) ein monolithisch integriertes Lastelement ist.

6. Monolithisch integrierter Hochspannungsverstärker nach einem der Ansprüche 1, 4 oder 5, dadurch gekennzeichnet, dass die Kaskadierung der Transistoren in DMOS-Technik in Verbindung mit einer integrierten Widerstands-Kondensator-Kaskade ausgeführt ist.

7. Monolithisch integrierter Hochspannungsverstärker nach einem der Ansprüche 1, 4 oder 5, dadurch gekennzeichnet, dass die Kaskadierung der Transistoren in DMOS-Technik mit einer integrierten Widerstandskaskade ausgeführt ist.

8. Monolithisch integrierter Hochspannungsverstärker nach Anspruch 7, dadurch gekennzeichnet, dass die die Gatespannungen erzeugende Widerstandskaskade aus Widerständen mit ausschließlich gleichsinnigen Wertabweichungen besteht, wobei die Absolutwerte der Widerstände den Prozesstoleranzen unterliegen, jedoch die resultierenden Spannungsteiler einschließlich der parasitären Kapazitäten völlig identisch sind.

9. Monolithisch integrierter Hochspannungsverstärker nach einem der Ansprüche 1 oder 4 bis 8, dadurch gekennzeichnet, dass die kaskadierten Transistoren in DMOS-Technik durch mindestens drei dielektrische Schichten voneinander elektrisch isoliert sind.

10. Monolithisch integrierter Hochspannungsverstärker nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass die Transistoren in der Hochspannungsendstufe in einem Leitfähigkeitstyp realisiert sind.

11. Monolithisch integrierter Hochspannungsverstärker nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass mehrere Hochspannungsverstärker jeweils mit dem Eingangsverstärker in CMOS-Technik und der damit verbundenen Hochspannungsendstufe in DMOS-Technik in einem Substrat als ein Mehrkanalbauelement oder als Bestandteil eines Mehrkanalbauelementes realisiert sind.

Hierzu 2 Seite(n) Zeichnungen

60

65

- Leerseite -

THIS PAGE BLANK (USPTO)

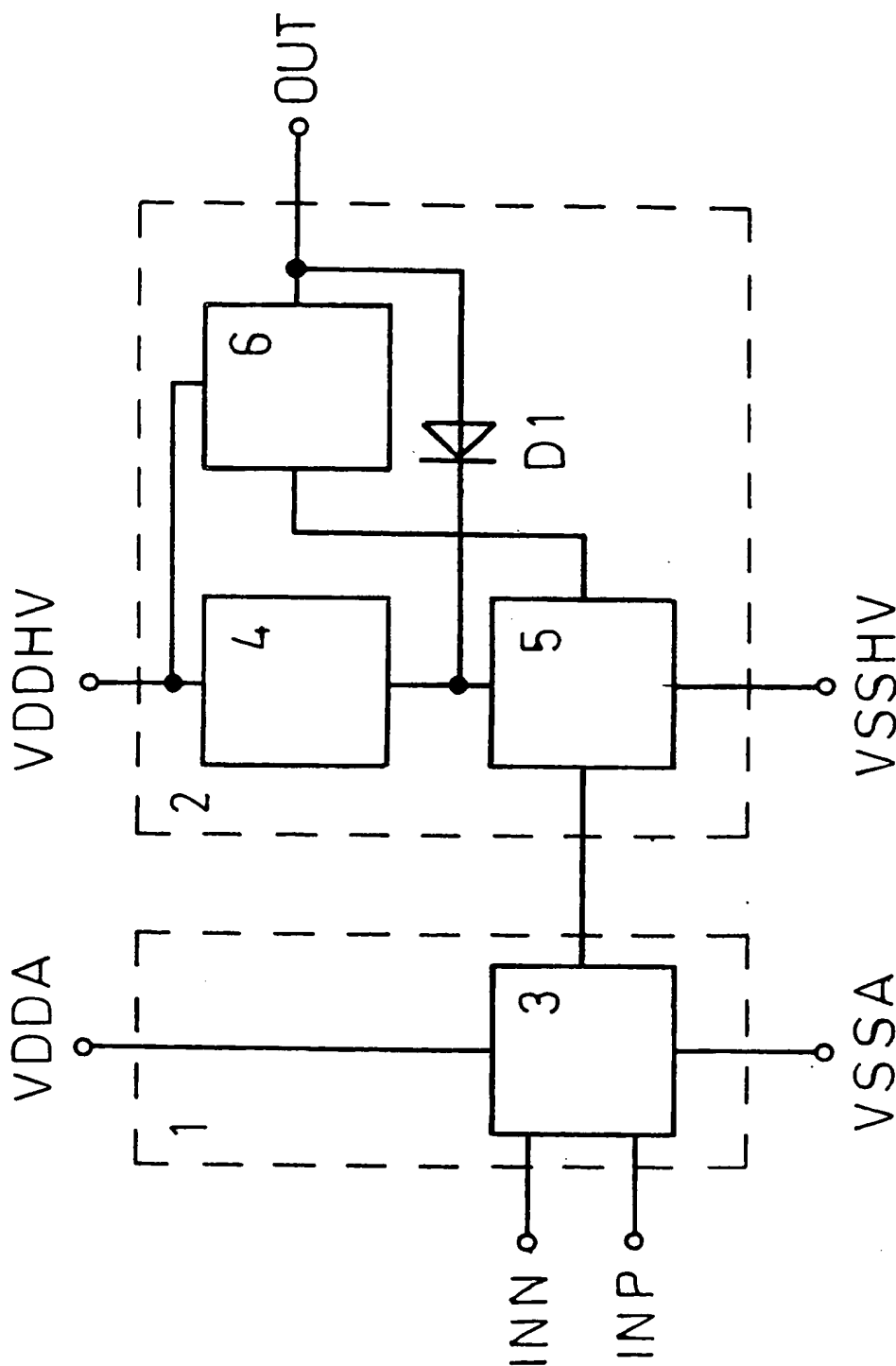


Fig. 1

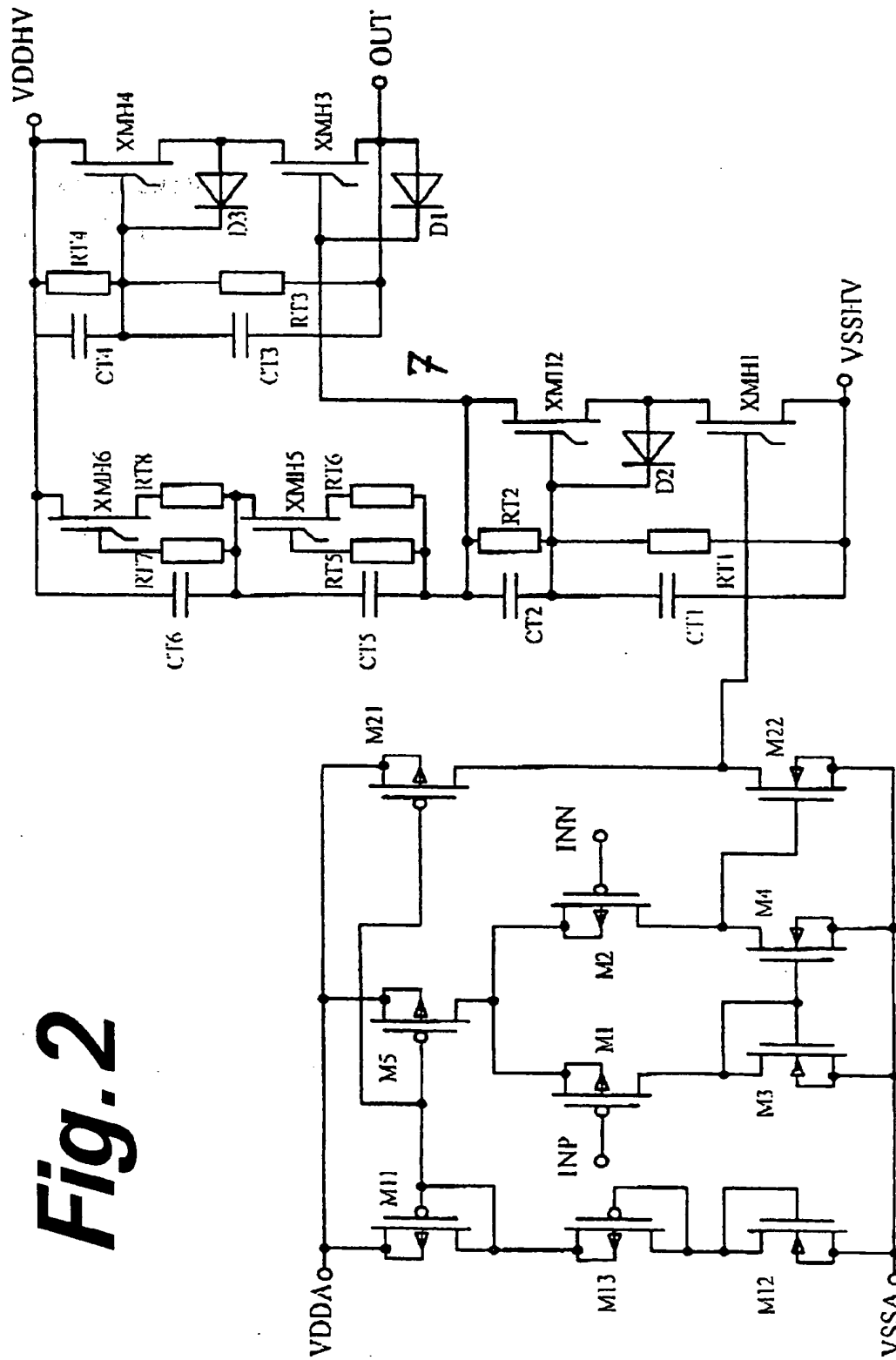


Fig. 2